

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177066  
 (43)Date of publication of application : 02.07.1999

(51)Int.Cl. H01L 27/115  
 H01L 21/76  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792

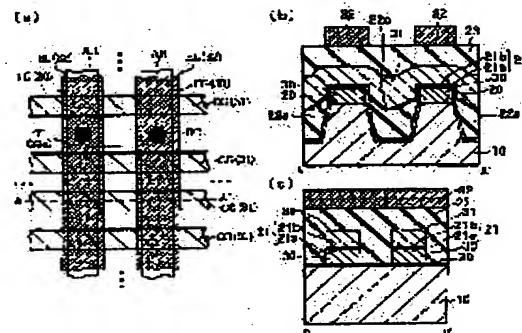
(21)Application number : 09-338926 (71)Applicant : SONY CORP  
 (22)Date of filing : 09.12.1997 (72)Inventor : YAMANAKA HIDETOSHI

## (54) PRODUCTION OF SEMICONDUCTOR NONVOLATILE STORAGE DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for producing a semiconductor nonvolatile storage device by which the capacitance coupling rate between a control gate and a floating gate can be made larger.

**SOLUTION:** A gate insulation film 20 is formed on a semiconductor substrate 10 having a channel formation area, and a floating gate 30 is formed in the upper layer of the gate insulation layer 20, and then a groove for isolating element is formed on the semiconductor substrate 10 in an area between the floating gates 30. Next, a first intermediate insulation film 21a is formed as to cover the surfaces of the groove for isolating the element and floating gates. Further the groove is filled with an insulator to form an element isolation insulation film 22a, and a second intermediate insulation film 21b is formed on a part of side of the floating gate 30 and on the upper layer of the first intermediate film 21a of the upper layer part on the upper layer thereof, and then a control gate 31 is formed on the upper layer of the second intermediate insulation film 21b.



## LEGAL STATUS

[Date of request for examination] 09.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-177066

(43)公開日 平成11年(1999)7月2日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 27/115  
21/76  
21/8247  
29/788  
29/792

識別記号

F I  
H 0 1 L 27/10  
21/76  
29/78

4 3 4  
L  
3 7 1

審査請求 未請求 請求項の数10 O L (全30頁)

(21)出願番号 特願平9-338926

(22)出願日 平成9年(1997)12月9日

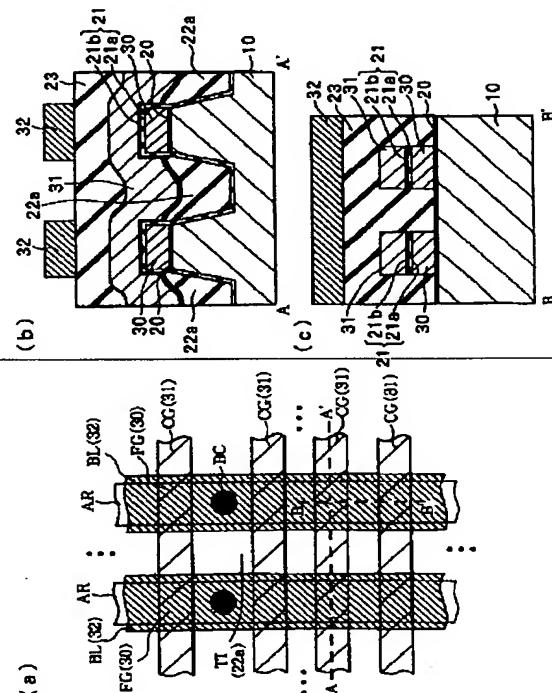
(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 山中 英俊  
東京都品川区北品川6丁目7番35号 ソニー  
株式会社内  
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体不揮発性記憶装置の製造方法

(57)【要約】

【課題】コントロールゲートとフローティングゲートの容量結合比を大きくとることが可能な半導体不揮発性記憶装置の製造方法を提供する。

【解決手段】チャネル形成領域を有する半導体基板10上にゲート絶縁膜20を形成し、ゲート絶縁膜20の上層にフローティングゲート30を形成し、フローティングゲート30で挟まれた領域において半導体基板10に素子分離用溝Tを形成する。次に、素子分離用溝Tの表面およびフローティングゲート30の表面を被覆する第1中間絶縁膜21aを形成する。次に、素子分離用溝Tを絶縁体で埋め込んで素子分離絶縁膜22aを形成し、フローティングゲート30の側面の一部および上面の上層部分の第1中間絶縁膜21aの上層に第2中間絶縁膜21bを形成し、第2中間絶縁膜21bの上層にコントロールゲート31を形成する。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上層にフローティングゲートを形成する工程と、前記フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝の表面および前記フローティングゲートの表面を被覆する第1中間絶縁膜を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記フローティングゲートの側面の一部および上面の上層部分の前記第1中間絶縁膜の上層に第2中間絶縁膜を形成する工程と、前記第2中間絶縁膜の上層にコントロールゲートを形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項2】前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程とを含む請求項1記載の半導体不揮発性記憶装置の製造方法。

【請求項3】前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程においては、前記絶縁体の表面が前記ゲート絶縁膜よりも低くなる前に前記絶縁体の除去を停止する請求項2記載の半導体不揮発性記憶装置の製造方法。

【請求項4】前記素子分離絶縁膜を形成する工程においては、前記素子分離絶縁膜の表面が前記ゲート絶縁膜よりも高くなるように形成する請求項1記載の半導体不揮発性記憶装置の製造方法。

【請求項5】前記第1中間絶縁膜を酸化膜と窒化膜の積層体により形成し、前記第2中間絶縁膜を酸化膜により形成する請求項1記載の半導体不揮発性記憶装置の製造方法。

【請求項6】チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上層に第1フローティングゲートを形成する工程と、前記第1フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜の上層であって前記第1フローティングゲートの側面と対向する位置に前記第1フローティングゲートと接続する第2フローティングゲートを形成する工程と、前記第1フローティングゲートおよび前記第2フローティングゲートを被覆する中間絶縁膜を形成する工程と、前記中間絶縁膜の上層にコントロールゲートを形成する工程とを有する半導体不揮発性記憶装置の製造方法。

10

20

30

40

50

2

イングゲートを被覆する中間絶縁膜を形成する工程と、前記中間絶縁膜の上層にコントロールゲートを形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項7】前記第2フローティングゲートを形成する工程が、前記第1フローティングゲートを被覆して全面に第2フローティングゲート用層を形成する工程と、前記素子分離絶縁膜の上層であって前記第1フローティングゲートの側面と対向する位置の前記第2フローティングゲート用層を残して前記第2フローティングゲート用層を除去する工程を含む請求項6記載の半導体不揮発性記憶装置の製造方法。

【請求項8】前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記第1フローティングゲートの少なくとも側面の一部と上面が露出するまで前記絶縁体を除去する工程とを含む請求項6記載の半導体不揮発性記憶装置の製造方法。

【請求項9】前記第1フローティングゲートの少なくとも側面の一部と上面が露出するまで前記絶縁体を除去する工程においては、前記絶縁体の表面が前記ゲート絶縁膜よりも低くなる前に前記絶縁体の除去を停止する請求項8記載の半導体不揮発性記憶装置の製造方法。

【請求項10】前記素子分離絶縁膜を形成する工程においては、前記素子分離絶縁膜の表面が前記ゲート絶縁膜よりも高くなるように形成する請求項6記載の半導体不揮発性記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体不揮発性記憶装置およびその製造方法に関し、特にトランジスタのゲート電極とチャネル形成領域の間に電荷蓄積層を有する半導体不揮発性記憶装置の製造方法に関する。

## 【0002】

【従来の技術】電気的に書き換え可能な半導体不揮発性記憶装置（EEPROM：Electrically Erasable and Programmable ROM）はDRAM（Dynamic Random Access Memory）などの他の半導体記憶装置と比較して1ビットあたりの記憶素子の面積を理論上最も小さくできることから、半導体記憶装置として大容量化が期待され、特にフロッピーディスクなどの磁気記憶装置の代替手段として検討が活発に行われている。EEPROMとしては、フローティングゲート型、MOS型あるいはMOS型、TEXTURED POLY型など、様々な特徴を有する構造のものが開発されている。

【0003】EEPROMの1つであるフローティングゲート型の半導体不揮発性記憶装置の一例の断面図を図13に示す。例えばLOCOS法などにより形成した素子分離絶縁膜24により分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜20が形成されており、その上層に例えばポリシ

リコンからなるフローティングゲート30が形成されており、さらにその上層に例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21が形成されている。中間絶縁膜21の上層には、例えばポリシリコンの下側コントロールゲート31aとタングステンシリサイドの上側コントロールゲート31bからなるポリサイド構造のコントロールゲート31が形成されている。また、コントロールゲート31の両側部の半導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と半導体基板10中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲート30を有する電界効果トランジスタを構成する。

【0004】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、フローティングゲート30は膜中に電荷を保持する機能を持ち、ゲート絶縁膜20および中間絶縁膜21は電荷をフローティングゲート30中に閉じ込める役割を持つ。コントロールゲート31、半導体基板10あるいはソース・ドレイン拡散層などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、ゲート絶縁膜20を通して半導体基板10からフローティングゲート30へ電荷が注入され、あるいはフローティングゲート30から半導体基板10へ電荷が放出される。

【0005】上記のようにフローティングゲート30中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート30中に電子を蓄積することでデータの消去を行い、また、フローティングゲート30中に蓄積した電子を放出することでデータを書き込みすることができる。

【0006】しかしながら、上記の従来のフローティングゲート型の半導体不揮発性記憶装置は、フローティングゲート30と素子分離絶縁膜24との合わせ余裕としてオーバーラップ部分Iを有し、特にLOCOS法による素子分離絶縁膜はバーズピークを有することから素子分離幅が広くなり、分離耐圧が低下するという問題が発生し、セル面積を縮小することが困難となっていた。

【0007】上記の問題点を解決するために、例えばNAND型の半導体不揮発性記憶装置として、図14に示すSA-STI（Self-Align Shallow Trench Isolation）セル構造を有するフローティングゲート型の半導体不揮発性記憶装置が開発された。図14(a)はその平面図である。レンチ型素子分離絶縁膜T1(22a)で分離されたシリコン半導体基板の活性領域ARと、ワード線となるコントロールゲートCG(31)とが交差する領域において、コントロールゲートCG(31)とシリコン半導体基板のチャネル形成領域の間に電荷蓄積層として例えば絶縁膜に被覆されたフローティングゲー

トFG(30)が形成されている。また、コントロールゲートCG(31)の両側部の基板中には図示しないソース・ドレイン拡散層が形成されている。コントロールゲートCG(31)の上層にはピット線BL(32)がコントロールゲートCG(31)と直交する方向に配線されており、ピットコンタクトBCにおいてソース・ドレイン拡散層に接続している。

【0008】上記の図14(a)の平面図のA-A'における断面図を図14(b)に、B-B'における断面

図を図14(c)に示す。レンチ型素子分離絶縁膜22aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30が形成されており、さらにその上層に例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21が形成されている。中間絶縁膜21の上面を被覆して、例えばポリシリコンからなるコントロールゲート（ワード線）31が形成されている。コントロールゲート31の上層に例えば酸化シリコンからなる層間絶縁膜23が形成されており、その上層に例えばアルミニウムからなるピット線32が形成されている。また、コントロールゲート31の両側部の半導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と、半導体基板10中のチャネル形成領域との間に、絶縁膜に被覆されたフローティングゲート30を有する電界効果トランジスタを構成する。各トランジスタはNAND型に接続され、NANDストリングを構成する。

【0009】上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置は、図13に示す半導体不揮発性記憶装置と同様、フローティングゲート30中に電荷が蓄積して蓄積電荷による電界によりトランジスタの閾値電圧が変化し、この変化によりデータの記憶が可能となっている。一方、図13に示す半導体不揮発性記憶装置と異なり、フローティングゲートと素子分離絶縁膜とのオーバーラップ部分がない構造であり、フローティングゲートと素子分離絶縁膜との合わせ余裕を設ける必要がなく、理論的には最小のセル面積を4F<sup>2</sup>（ここでFはminimum feature size）とする

ことができるでの、大容量の搭載、およびチップコスト、ピットコストの低減をすることが可能である。

【0010】上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。まず、図15(a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、シリコン半導体基板10上に例えば熱酸化法により酸化シリコンのゲート絶縁膜20を形成し、その上層に例えばCVD(Chemical Vapor D

5  
eposition) 法によりポリシリコンを堆積させ、フローティングゲートFG(30)を形成する。フローティングゲートFG(30)の上層にフォトリソグラフィー工程によりレジスト膜Rを形成し、レジスト膜Rをマスクとして例えばRIE(反応性イオンエッティング)によりフローティングゲートFG(30)をエッティングしてパターン加工する。

【0011】次に、図16((a))は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rをマスクとして例えばRIEなどのエッティングを引き続いて施し、半導体基板10の活性領域と自己整合的にトレンチ状の溝Tを形成する。

【0012】次に、図17((a))は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rを除去し、例えばCVD法によりトレンチ状の溝Tを埋め込んで全面に酸化シリコンを堆積させ、素子分離用層22を形成する。

【0013】次に、図18((a))は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばCMP(Chemical Mechanical Polishing)法により素子分離用層22をフローティングゲート30が露出するまで研磨除去して、トレンチ状の溝Tに埋め込まれたトレンチ型素子分離絶縁膜T1(22a)を半導体基板10の活性領域と自己整合的に形成する。

【0014】次に、図19((a))は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を積層させて中間絶縁膜21を形成し、さらに中間絶縁膜21の上層に、例えばCVD法によりポリシリコンを堆積させ、あるいはポリシリコンとタンクステンシリサイドを積層させてコントロールゲートCG(31)を形成する。次に、コントロールゲートCG(31)の上層にフォトリソグラフィー工程によりコントロールゲートパターンのレジスト膜を形成し、RIEなどのエッティングを施して、コントロールゲートパターンに加工したコントロールゲートCG(31)、中間絶縁膜21、およびフローティングゲートFG(30)を自己整合的に形成する。このとき、図19(a)に示すように、フローティングゲートFG(30)はコントロールゲートCG(31)と半導体基板の活性領域ARの交差する領域に残され、個々のメモリセル毎に分離された形状となる。

【0015】次に、コントロールゲートCG(31)をマスクとして導電性不純物をイオン注入してコントロールゲートの両側部の半導体基板10中に図示しないソース・ドレイン拡散層を自己整合的に形成する。次に、例

えばCVD法によりPSGあるいはBPSGなどの酸化シリコンを堆積させて層間絶縁膜23を形成し、層間絶縁膜23に図示しないソース・ドレイン拡散層に達するピットコンタクトBCを開口し、例えばスパッタリング法によりピットコンタクトBC内を埋め込んで例えばアルミニウムを堆積させてピット線BL(32)を形成する。次に、フォトリソグラフィー工程によるレジスト膜の形成、RIEなどのエッティングを行ってピット線BL(32)をパターン加工する。以上で、図14に示す半導体不揮発性記憶装置を製造することができる。以降の工程としては、例えば上層配線の形成、バッシベーション工程などにより所望の半導体不揮発性記憶装置を製造する。

#### 【0016】

【発明が解決しようとする課題】しかしながら、上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置は、コントロールゲートとフローティングゲートの容量結合は、フローティングゲートの上面のみ、あるいは上面と上面付近のごく一部の側壁部でとられている。このため、コントロールゲートとフローティングゲートの容量結合比を大きくすることが困難となっている。

【0017】容量結合比が小さい場合、ゲート絶縁膜にファウラー・ノルドハイム型トンネル電流を発生させてメモリセルデータの書き込みや消去を行う際に、大きな動作電圧が必要となる。電源電圧から動作電圧にまで昇圧させるための昇圧回路の面積の増大を招くのでチップコストの上昇の要因となり、さらに、昇圧時間がかかることから処理速度の低下の原因となってしまう。半導体装置の微細化が進むと容量結合比を大きくする必要がありますがますます高くなってくるので、半導体装置の高集積化、微細化につれて上記の問題は顕在化し、その解決が必要となってくる。

【0018】本発明は上記の問題点を鑑みてなされたものであり、従って、本発明は、コントロールゲートとフローティングゲートの容量結合比を大きくとることが可能であり、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減、装置の高集積化、微細化をすることができる、半導体不揮発性記憶装置の製造方法を提供することを目的とする。

#### 【0019】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上層にフローティングゲートを形成する工程と、前記フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝の表面および前記フローティングゲートの表面を被覆する第1中間絶縁膜を形成する工程と、前記素子分離用溝を絶縁体で埋め

込んで素子分離絶縁膜を形成する工程と、前記フローティングゲートの側面の一部および上面の上層部分の前記第1中間絶縁膜の上層に第2中間絶縁膜を形成する工程と、前記第2中間絶縁膜の上層にコントロールゲートを形成する工程とを有する。

【0020】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜の上層にフローティングゲートを形成し、フローティングゲートで挟まれた領域において半導体基板に素子分離用溝を形成する。

次に、素子分離用溝の表面およびフローティングゲートの表面を被覆する第1中間絶縁膜を形成する。次に、素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成し、フローティングゲートの側面の一部および上面の上層部分の第1中間絶縁膜の上層に第2中間絶縁膜を形成し、第2中間絶縁膜の上層にコントロールゲートを形成する。

【0021】上記の半導体不揮発性記憶装置の製造方法によれば、フローティングゲートの側面の一部および上面の上層部分の第1中間絶縁膜の上層に第2中間絶縁膜を形成し、第1中間絶縁膜および第2中間絶縁膜を積層させた領域でフローティングゲートとコントロールゲートの容量結合をとることとなり、フローティングゲートの上面だけでなく側面も容量結合に寄与する。従ってコントロールゲートとフローティングゲートの容量結合比を大きくとることができ、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減が可能となり、半導体不揮発性記憶装置の高集積化、微細化が可能となる。基板に形成した素子分離用溝を絶縁体で埋め込んで形成するトレンチ型素子分離絶縁膜により素子分離するので、セルの縮小化、大容量の搭載、チップコストおよびピットコストの低減をすることが可能である。

【0022】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程とを含む。これにより、トレンチ型素子分離絶縁膜を形成することができ、フローティングゲートの上面だけでなく側面も容量結合に寄与させることができる。

【0023】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程においては、前記絶縁体の表面が前記ゲート絶縁膜よりも低くなる前に前記絶縁体の除去を停止する。絶縁体の表面がゲート絶縁膜よりも低くなると、ゲート絶縁膜より下部の素子分離用溝の表面においてメモリトランジスタと並列に寄生のトランジスタが形成されることとな

るので、これを制御するために絶縁体の表面がゲート絶縁膜よりも低くならないようにする。

【0024】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程においては、前記素子分離絶縁膜の表面が前記ゲート絶縁膜よりも高くなるように形成する。上記と同様に、寄生のトランジスタが形成されるのを避けることができる。

【0025】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第1中間絶縁膜を酸化膜と窒化膜の積層体により形成し、前記第2中間絶縁膜を酸化膜により形成する。これにより、第1中間絶縁膜と第2中間絶縁膜の積層体であるONO膜（酸化膜-窒化膜-酸化膜の積層体）を中間絶縁膜とことができ、また、第1中間絶縁膜をON膜とすることで、素子分離絶縁膜のエッチングのときのエッチングストップとしての役割を果たす。

【0026】さらに、上記の目的を達成するため、本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上層に第1フローティングゲートを形成する工程と、前記第1フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜の上層であって前記第1フローティングゲートの側面と対向する位置に前記第1フローティングゲートと接続する第2フローティングゲートを形成する工程と、前記第1フローティングゲートおよび前記第2フローティングゲートを被覆する中間絶縁膜を形成する工程と、前記中間絶縁膜の上層にコントロールゲートを形成する工程とを有する。

【0027】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜の上層に第1フローティングゲートを形成し、第1フローティングゲートで挟まれた領域において半導体基板に素子分離用溝を形成し、素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する。次に、素子分離絶縁膜の上層であって第1フローティングゲートの側面と対向する位置に第1フローティングゲートと接続する第2フローティングゲートを形成する。次に、第1フローティングゲートおよび第2フローティングゲートを被覆する中間絶縁膜を形成し、中間絶縁膜の上層にコントロールゲートを形成する。

【0028】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、第1フローティングゲートと第2フローティングゲートの表面でフローティングゲートとコントロールゲートの容量結合をとることとなり、コントロールゲートとフローティングゲートの容量結合比を大

きくとることができ、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減が可能となり、半導体不揮発性記憶装置の高集積化、微細化が可能となる。基板に形成した素子分離用溝を絶縁体で埋め込んで形成するトレンチ型素子分離絶縁膜により素子分離するので、セルの縮小化、大容量の搭載、チップコストおよびピットコストの低減をすることが可能である。

【0029】上記の本発明の半導体不揮発性記憶装置の

製造方法は、好適には、前記第2フローティングゲートを形成する工程が、前記第1フローティングゲートを被覆して全面に第2フローティングゲート用層を形成する工程と、前記素子分離絶縁膜の上層であって前記第1フローティングゲートの側面と対向する位置の前記第2フローティングゲート用層を残して前記第2フローティングゲート用層を除去する工程を含む。これにより、素子分離絶縁膜の上層であって第1フローティングゲートの側面と対向する位置に第1フローティングゲートと接続する第2フローティングゲートを形成することができる。

【0030】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記第1フローティングゲートの少なくとも側面の一部と上面が露出するまで前記絶縁体を除去する工程とを含む。これにより、トレンチ型素子分離絶縁膜を形成することができる。

【0031】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第1フローティングゲートの少なくとも側面の一部と上面が露出するまで前記絶縁体を除去する工程においては、前記絶縁体の表面が前記ゲート絶縁膜よりも低くなる前に前記絶縁体の除去を停止する。絶縁体の表面がゲート絶縁膜よりも低くなると、ゲート絶縁膜より下部の素子分離用溝の表面においてメモリトランジスタと並列に寄生のトランジスタが形成されることとなるので、これを制御するために絶縁体の表面がゲート絶縁膜よりも低くならないようとする。

【0032】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程においては、前記素子分離絶縁膜の表面が前記ゲート絶縁膜よりも高くなるように形成する。上記と同様

に、寄生のトランジスタが形成されるのを避けることができる。

【0033】

【発明の実施の形態】以下に、本発明の半導体不揮発性記憶装置およびその製造方法の実施の形態について、図面を参照して下記に説明する。

【0034】第1実施形態

本実施形態にかかる半導体不揮発性記憶装置は、S A - S T I セル構造を有するフローティングゲート型のN A N D型半導体不揮発性記憶装置である。図1 (a) はそ

の平面図である。トレンチ型素子分離絶縁膜T 1 (2 2 a) で分離されたシリコン半導体基板の活性領域A Rと、ワード線となるコントロールゲートC G (3 1) とが交差する領域において、コントロールゲートC G (3 1) とシリコン半導体基板のチャネル形成領域の間に電荷蓄積層として例えば絶縁膜に被覆されたフローティングゲートF G (3 0) が形成されている。また、コントロールゲートC G (3 1) の両側部の基板中には図示しないソース・ドレイン拡散層が形成されている。コントロールゲートC G (3 1) の上層にはピット線B L (3 2) がコントロールゲートC G (3 1) と直交する方向に配線されており、ピットコンタクトB Cにおいてソース・ドレイン拡散層に接続している。

ノルドハイム型トンネル電流が生じ、ゲート絶縁膜20を通じて半導体基板10からフローティングゲート30へ電荷が注入され、あるいはフローティングゲート30から半導体基板10へ電荷が放出される。

【0037】上記のようにフローティングゲート30中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート30中に電子を蓄積することでデータの消去を行い、また、フローティングゲート30中に蓄積した電子を放出することでデータを書き込みすることができる。

【0038】上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。まず、図2((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、シリコン半導体基板10上に例えば熱酸化法により酸化シリコンのゲート絶縁膜20を形成し、その上層に例えばCVD(Chemical Vapor Deposition)法によりポリシリコンを堆積させ、フローティングゲートFG(30)を形成する。フローティングゲートFG(30)の上層にフォトリソグラフィー工程によりレジスト膜Rを形成し、レジスト膜Rをマスクとして例えばRIE(反応性イオンエッティング)によりフローティングゲートFG(30)をエッティングしてバターン加工する。

【0039】次に、図3((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rをマスクとして例えばRIEなどのエッティングを引き続いだり施し、半導体基板10の活性領域と自己整合的にトレンチ状の溝Tを形成する。ここでは、後工程でこの溝を絶縁体で埋め込みやすいように、テーパ形状に形成する。

【0040】次に、図4((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rを除去し、例えばCVD法によりトレンチ状の溝Tの表面およびフローティングゲート30の表面を被

覆して全面に酸化シリコンおよび窒化シリコンを積層させ、第1中間絶縁膜21aを形成する。

【0041】次に、図5((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばCVD法により第1中間絶縁膜21aの上層にトレンチ状の溝Tを埋め込んで全面に酸化シリコンを堆積させ、素子分離用層22を形成する。このとき、段差被覆性の優れた材料および成膜条件を用いることが好ましく、例えばBPSGなどを用いた場合にはCVD工程の

後の加熱によるリフローで段差被覆性を向上させることができる。

【0042】次に、図6((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばフッ酸系のウェットエッティング、あるいは第1中間絶縁膜21a中の窒化シリコンに対して選択比を有するRIEなどのエッティングにより、トレンチ状の溝Tに埋め

込まれたトレンチ型素子分離絶縁膜T1(22a)を半導体基板10の活性領域と自己整合的に形成する。このとき、第1中間絶縁膜はこのエッティングのエッティングストップとしての役割を果たす。また、このエッティングはトレンチ型素子分離絶縁膜T1(22a)の表面がゲート絶縁膜よりも低くなる前に停止する。これにより、メモリトランジスタと並列に寄生のトランジスタが形成されるのを避けることができる。

【0043】次に、図7((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、第1中間絶縁膜21aの上層に全面に例えばCVD法により酸化膜である第2中間絶縁膜21bを形成し、第1中間絶縁膜21aと合わせてONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)の中間絶縁膜21とする。

【0044】次に、図8((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、中間絶縁膜21の上層に、例えばCVD法によりポリシリコンを堆積させ、あるいはポリシリコンとタンクステンシリサイドを積層させてコントロールゲートCG(31)を形成し、コントロールゲートCG(31)の上層にフォトリソグラフィー工程によりコントロールゲートバターンのレジスト膜を形成し、RIEなどのエッティングを施して、コントロールゲートバターンに加工したコントロールゲートCG(31)、中間絶縁膜21、およびフローティングゲートFG(30)を自己整合的に形成する。このとき、図8(a)に示すように、フローティングゲートFG(30)はコントロールゲートCG(31)と半導体基板の活性領域ARの交差する領域に残され、個々のメモリセル毎に分離された形状となる。

【0045】次に、コントロールゲートCG(31)をマスクとして導電性不純物をイオン注入してコントロールゲートの両側部の半導体基板10中に図示しないソース・ドレイン拡散層を自己整合的に形成する。次に、例えばCVD法によりPSGあるいはBPSGなどの酸化シリコンを堆積させて層間絶縁膜23を形成し、層間絶縁膜23に図示しないソース・ドレイン拡散層に達するピットコンタクトBCを開口し、例えばスパッタリング法によりピットコンタクトBC内を埋め込んでチタン層とアルミニウムシリサイド層などを積層させた金属層によりピット線BL(32)を形成する。次に、フォトリ

ソグラフィー工程によるレジスト膜の形成、R I Eなどのエッティングを行ってビット線B L (32)をパターン加工する。以上で、図1に示す半導体不揮発性記憶装置を製造することができる。以降の工程としては、例えば上層配線の形成、バッシベーション工程などにより所望の半導体不揮発性記憶装置を製造する。

【0046】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、フローティングゲートの側面の一部および上面の上層部分の第1中間絶縁膜の上層に第2中間絶縁膜を形成し、第1中間絶縁膜および第2中間絶縁膜を積層させた領域でフローティングゲートとコントロールゲートの容量結合をとることとなり、フローティングゲートの上面だけでなく側面も容量結合に寄与する。従ってコントロールゲートとフローティングゲートの容量結合比を大きくとることができ、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減が可能となり、半導体不揮発性記憶装置の高集積化、微細化が可能となる。基板に形成した素子分離用溝を絶縁体で埋め込んで形成するトレンチ型素子分離絶縁膜により素子分離するので、セルの縮小化、大容量の搭載、チップコストおよびビットコストの低減をすることが可能である。

#### 【0047】第2実施形態

本実施形態にかかる半導体不揮発性記憶装置は、S A - S T I セル構造を有するフローティングゲート型のN A N D型半導体不揮発性記憶装置である。図9はその断面図である。トレンチ型素子分離絶縁膜22aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなる第1フローティングゲート30が形成されており、素子分離絶縁膜の上層であって第1フローティングゲートの側面と対向する位置に第2フローティングゲート30bが形成されている。第1フローティングゲート30および第2フローティングゲート30bの上層に例えばO N O膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)の中間絶縁膜21が形成されている。中間絶縁膜21の上層を被覆して、例えばポリシリコンあるいはポリシリコンとタングステンシリサイドの積層体であるポリサイドのコントロールゲート(ワード線)31が形成されている。また、コント

ロールゲート31の両側部の半導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と、半導体基板10中のチャネル形成領域との間に、絶縁膜に被覆されたフローティングゲート30を有する電界効果トランジスタを構成する。各トランジスタはN A N D型に接続され、N A N Dストリングを構成する。

【0048】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、第1実施形態と同様、フローティングゲート30中に電荷が蓄積して

蓄積電荷による電界によりトランジスタの閾値電圧が変化し、この変化によりデータの記憶が可能となっている。

【0049】上記のS A - S T I セル構造を有するフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。まず、図10(a)に示すように、シリコン半導体基板10上に例えば熱酸化法により酸化シリコンのゲート絶縁膜20を形成し、その上層に例えばC V D (Chemical Vapor Deposition)法により300~400nmの膜厚でポリシリコンを堆積させ、フローティングゲート30を形成する。

【0050】次に、図10(b)に示すように、フローティングゲート30の上層にフォトリソグラフィー工程によりレジスト膜Rを形成し、レジスト膜Rをマスクとして例えばR I E (反応性イオンエッティング)によりフローティングゲート30をエッティングしてパターン加工する。

【0051】次に、図10(c)に示すように、レジスト膜Rをマスクとして例えばR I Eなどのエッティングを引き続いだり施し、半導体基板10の活性領域と自己整合的にトレンチ状の溝Tを形成する。ここでは、後工程でこの溝を絶縁体で埋め込みやすいように、テーパ形状に形成する。

【0052】次に、図11(d)に示すように、レジスト膜Rを除去する。

【0053】次に、図11(e)に示すように、半導体基板10にトレンチ状の溝Tを形成したときのダメージを回復するために、トレンチ状の溝Tの表面を酸化して、酸化膜22bを形成する。酸化膜22bの膜厚は10~30nm程度であるが、その後に形成されるソース・ドレインの接合におけるリーク電流を少なくするために、できるだけ酸化量を多くすることが好ましい。このとき、図のようにフローティングゲート30の表面も同時に酸化される。

【0054】次に、図11(f)に示すように、例えばC V D法によりトレンチ状の溝Tを埋め込んで全面に酸化シリコンを堆積させ、素子分離用層22を形成する。素子分離用層22と上記の酸化膜22bは一体となるので、図面上境界を省略してある。このとき、段差被覆性の優れた材料および成膜条件を用いることが好ましく、例えばB P S Gなどを用いた場合にはC V D工程の後の加熱によるリフローで段差被覆性を向上させることができる。

【0055】次に、図12(g)に示すように、例えばR I Eなどのエッティングにより、トレンチ状の溝Tに埋め込まれたトレンチ型素子分離絶縁膜22aを半導体基板10の活性領域と自己整合的に形成する。このとき、エッティングはトレンチ型素子分離絶縁膜22aの表面がゲート絶縁膜よりも低くなる前に停止する。これによ

り、メモリトランジスタと並列に寄生のトランジスタが形成されるのを避けることができる。

【0056】次に、図12(h)に示すように、例えばCVD法により全面にポリシリコンを堆積させ、第2フローティングゲート用層30aを形成する。

【0057】次に、図12(i)に示すように、例えばRIEなどのエッティングにより全面にエッチバックを施し、素子分離絶縁膜の上層であって第1フローティングゲート30の側面と対向する位置の第2フローティングゲート用層30aを残して第2フローティングゲート用層30aを除去する。これにより、第2フローティングゲート30bが形成される。

【0058】次に、第1フローティングゲート30および第2フローティングゲート30bの上層に全面に例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を積層させ、中間絶縁膜21を形成する。次に、中間絶縁膜21の上層に、例えばCVD法によりポリシリコンを堆積させ、あるいはポリシリコンとタンゲステンシリサイドを積層させてコントロールゲート31を形成し、コントロールゲートパターンのレジスト膜の形成およびRIEなどのエッティングによりコントロールゲートパターンにコントロールゲート31、中間絶縁膜21、および第1フローティングゲート30および第2フローティングゲート30bを自己整合的に加工する。次に、コントロールゲート31をマスクとして導電性不純物をイオン注入してコントロールゲートの両側部の半導体基板10中に図示しないソース・ドレイン拡散層を自己整合的に形成する。以上で、図9に示す半導体不揮発性記憶装置を製造することができる。以降の工程としては、層間絶縁膜を形成し、層間絶縁膜にピットコンタクトを開口し、ピット線を形成するなどにより所望の半導体不揮発性記憶装置を製造する。

【0059】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、第1フローティングゲートと第2フローティングゲートの表面でフローティングゲートとコントロールゲートの容量結合をとることとなり、コントロールゲートとフローティングゲートの容量結合比を大きくとることができ、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減が可能となり、半導体不揮発性記憶装置の高集積化、微細化が可能となる。基板に形成した素子分離用溝を絶縁体で埋め込んで形成するトレンチ型素子分離絶縁膜により素子分離するので、セルの縮小化、大容量の搭載、チップコストおよびピットコストの低減をすることが可能である。

【0060】本発明の半導体不揮発性記憶装置およびその製造方法は、上記の実施の形態に限定されない。例えば、コントロールゲート、フローティングゲート(あるいは第1フローティングゲート、第2フローティングゲートのそれぞれ)は、単層構成でも多層構成でもよい。また、ソース・ドレインは、LDD構造などの種々の構

造を採用することができる。半導体記憶装置としてはNOR型、NAND型、どちらでもよく、さらにDINOR型とすることもできる。電荷の電荷蓄積層への注入は、データの書き込み、消去のどちらに相当する場合でも構わない。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0061】

【発明の効果】本発明の半導体不揮発性記憶装置の製造方法によれば、コントロールゲートとフローティングゲートの容量結合比を大きくとることが可能であり、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減、装置の高集積化、微細化をすることができる、半導体不揮発性記憶装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】図1は本発明の第1実施形態にかかる半導体不揮発性記憶装置の(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図2】図2は本発明の第1実施形態にかかる半導体不揮発性記憶装置の製造方法のフローティングゲートをパターン加工する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図3】図3は図2の続きのトレンチ状の溝を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図4】図4は図3の続きの第1中間絶縁膜を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図5】図5は図4の続きの素子分離用層を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図6】図6は図5の続きの素子分離用層のエッチバック工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図7】図7は図6の続きの第2中間絶縁膜を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図8】図8は図7の続きのコントロールゲートを形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図9】図9は本発明の第2実施形態にかかる半導体不揮発性記憶装置の断面図である。

【図10】図10は本発明の第2実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)は第1フローティングゲートの形成工程まで、(b)は第1フローティングゲートのパターン加工工程まで、(c)はトレンチ状の溝の形成工程までを示す。

【図11】図11は図10の続きの工程を示す断面図であり、(d)はレジスト膜の除去工程まで、(e)は酸化膜の形成工程まで、(f)は素子分離用層の形成工程までを示す。

【図12】図12は図11の続きの工程を示す断面図であり、(g)は素子分離用層のエッチバック工程まで、(h)は第2フローティングゲート用層の形成工程まで、(i)は第2フローティングゲートの形成工程までを示す。

【図13】図13は第1従来例にかかる半導体不揮発性記憶装置の断面図である。

【図14】図14は第2従来例にかかる半導体不揮発性記憶装置の(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図15】図15は第2従来例にかかる半導体不揮発性記憶装置の製造方法のフローティングゲートをパターン加工する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図16】図16は図15の続きのトレンチ状の溝を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

\* びB-B'における断面図である。

【図17】図17は図16の続きの素子分離用層を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図18】図18は図17の続きのフローティングゲートを露出させるまで素子分離用層を研磨する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

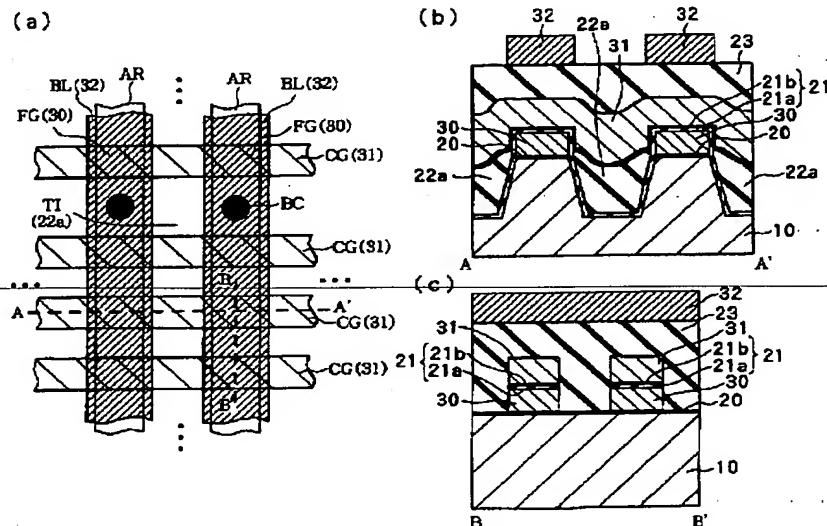
10 面図である。

【図19】図19は図18の続きのコントロールゲートを形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

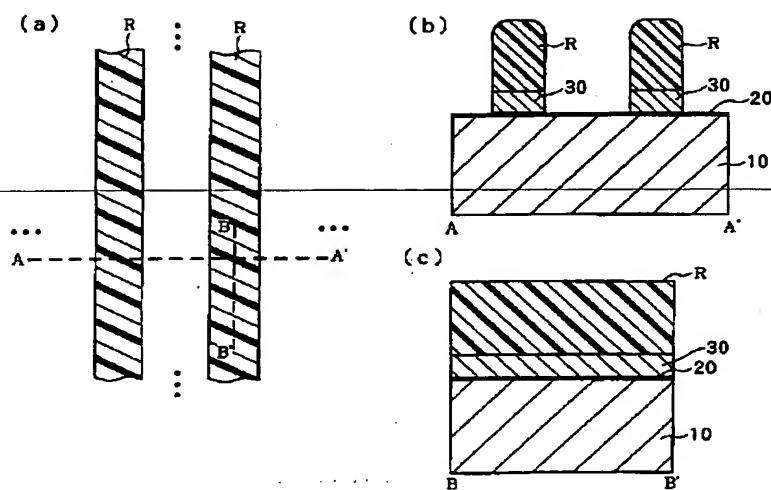
【符号の説明】

10…半導体基板、20…ゲート絶縁膜、21…中間絶縁膜、21a…第1中間絶縁膜、21b…第2中間絶縁膜、22…素子分離絶縁用層、22a…素子分離絶縁膜、22b…酸化膜、23…中間絶縁膜、24…LOC 20 O素子分離絶縁膜、30…(第1)フローティングゲート、30a…第2フローティングゲート用層、30b…第2フローティングゲート、31…コントロールゲート、31a…下側コントロールゲート、31b…上側コントロールゲート、32…ピット線、R…レジスト膜、AR…活性領域、T…トレンチ状の溝、TI…トレンチ型素子分離絶縁膜、FG…フローティングゲート、CG…コントロールゲート、BL…ピット線、BC…ピットコンタクト、I…フローティングゲートと素子分離絶縁膜の重なり領域。

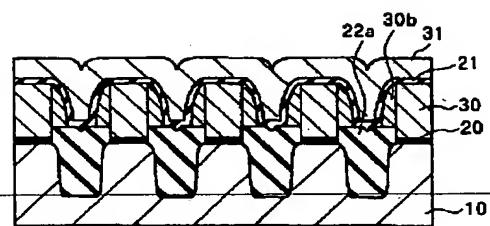
【図1】



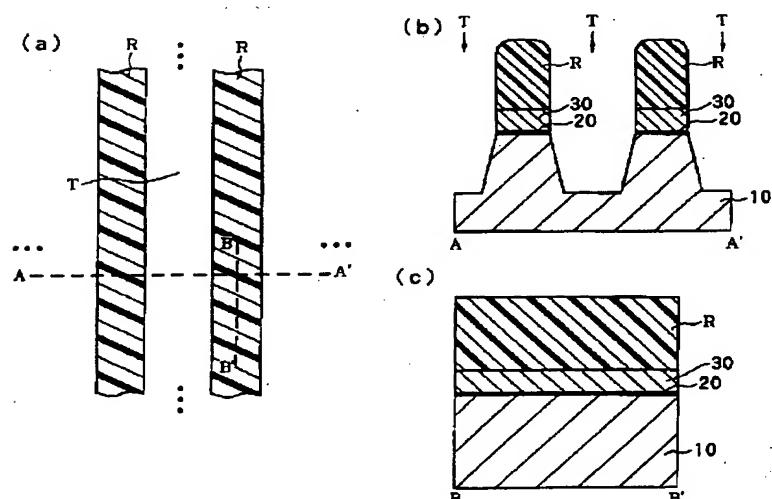
【図2】



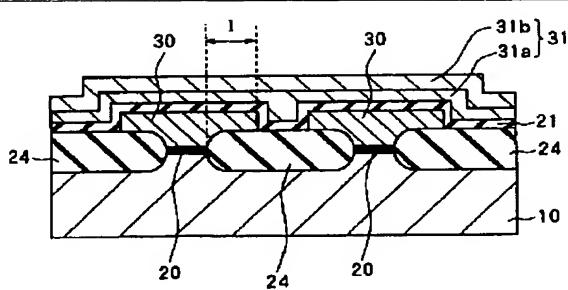
【図9】



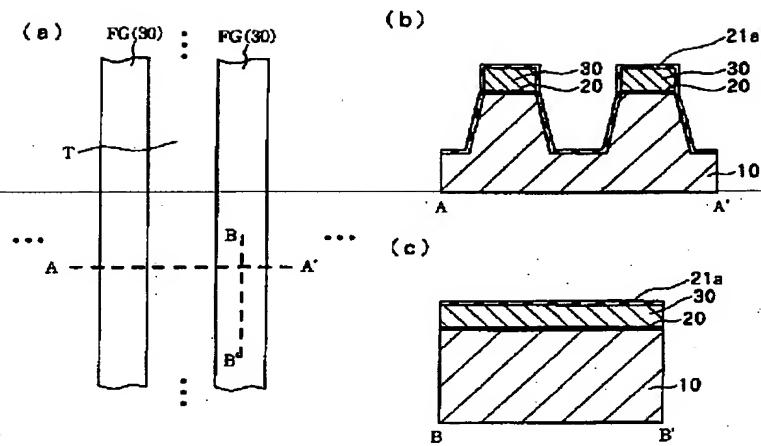
【図3】



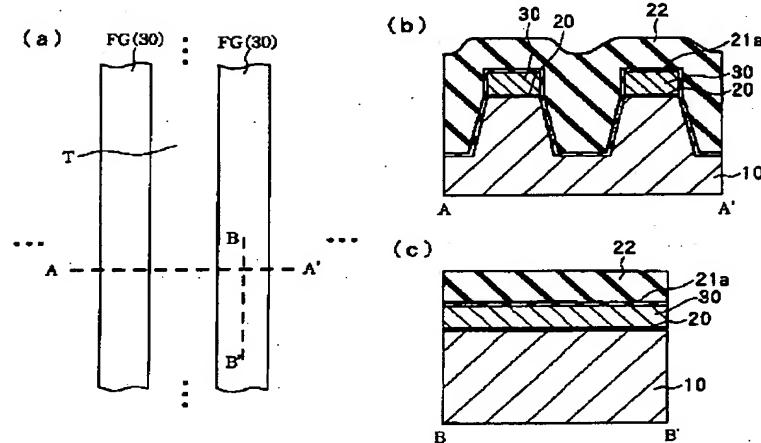
【図13】



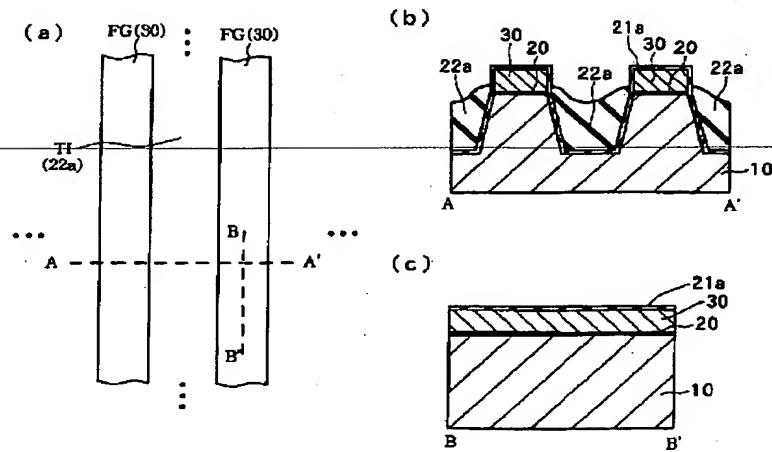
【図4】



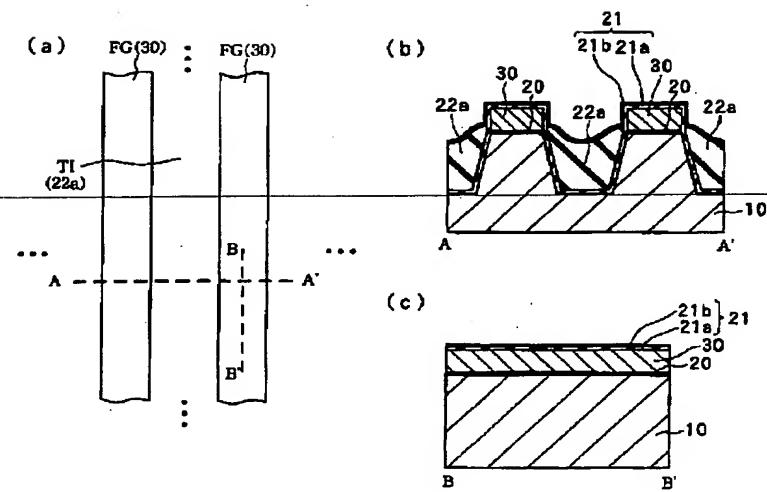
【図5】



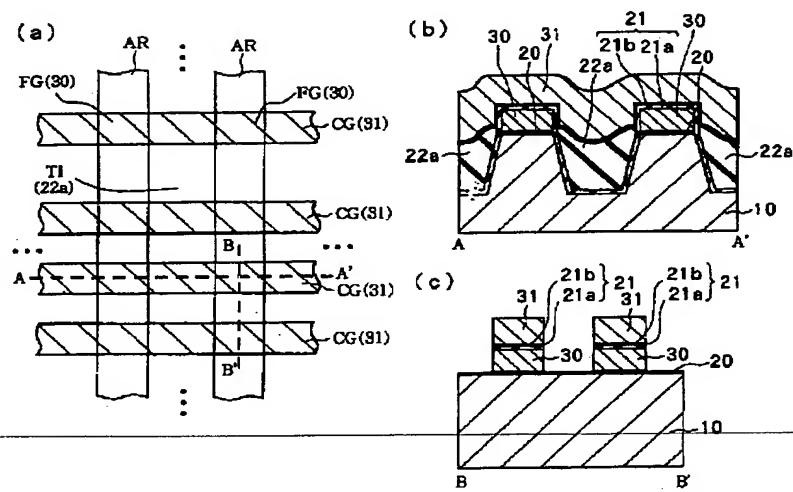
【図6】



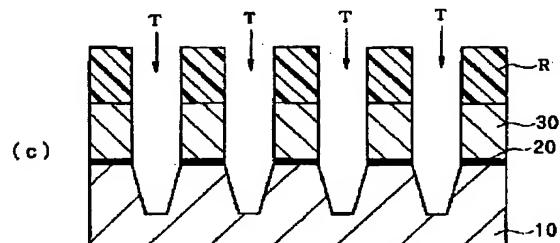
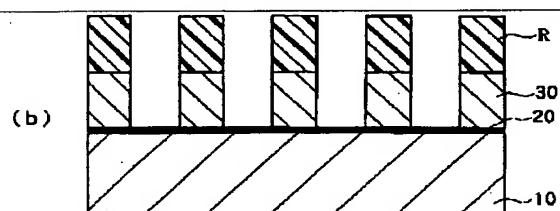
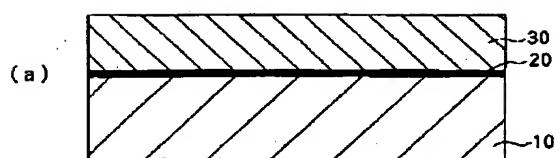
【図7】



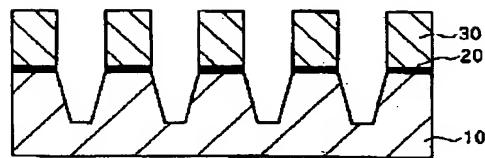
【図8】



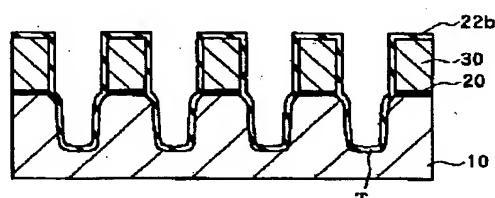
【図10】



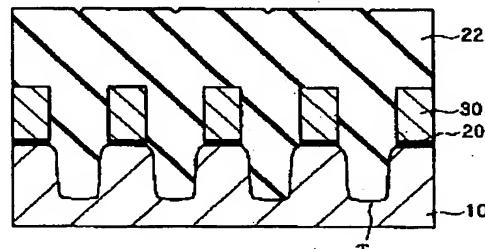
(d)



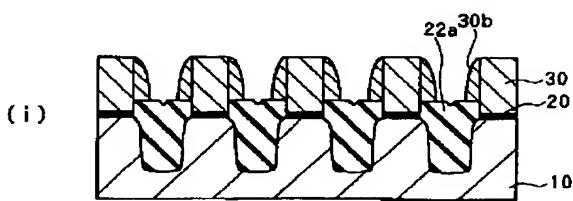
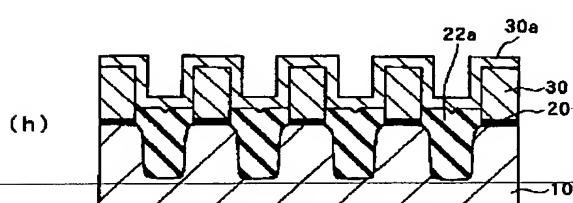
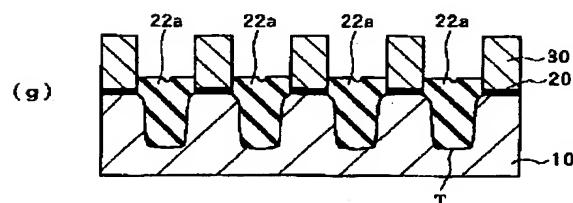
(e)



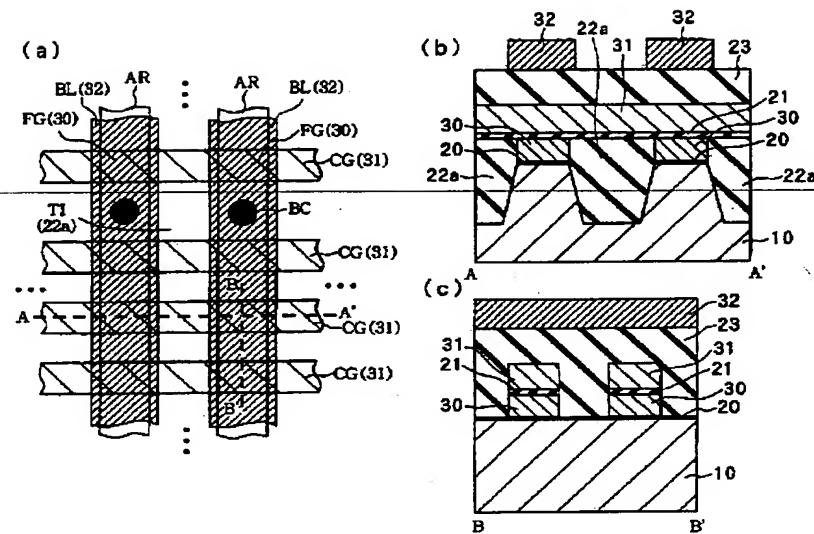
(f)



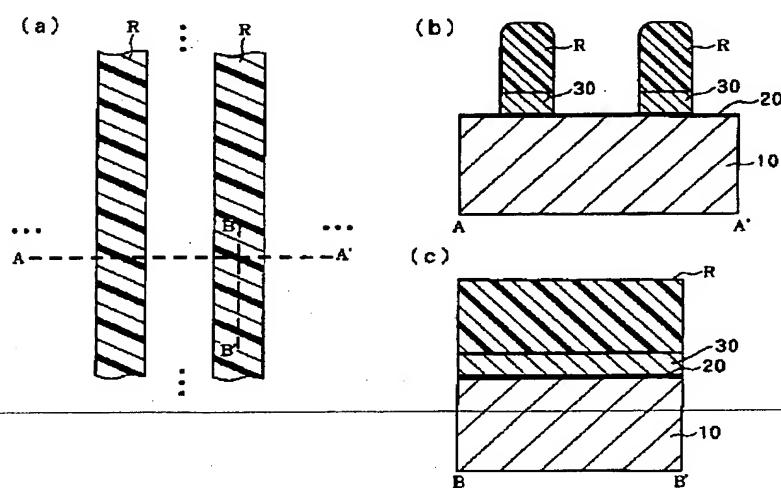
【図12】



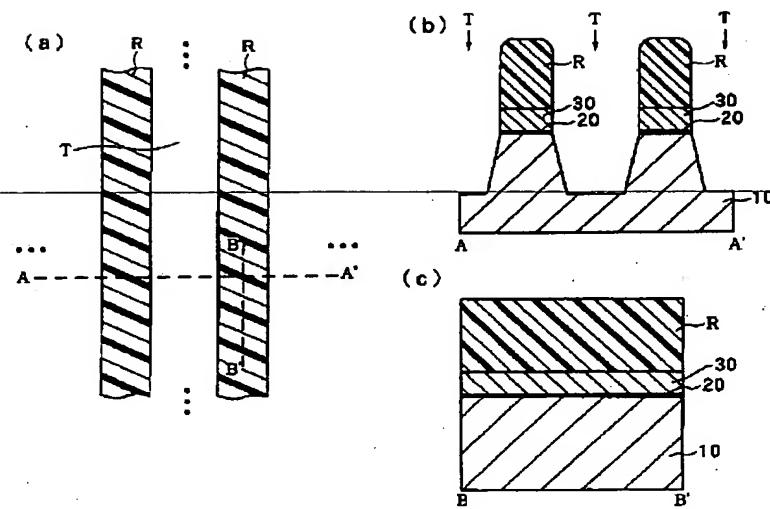
【図14】



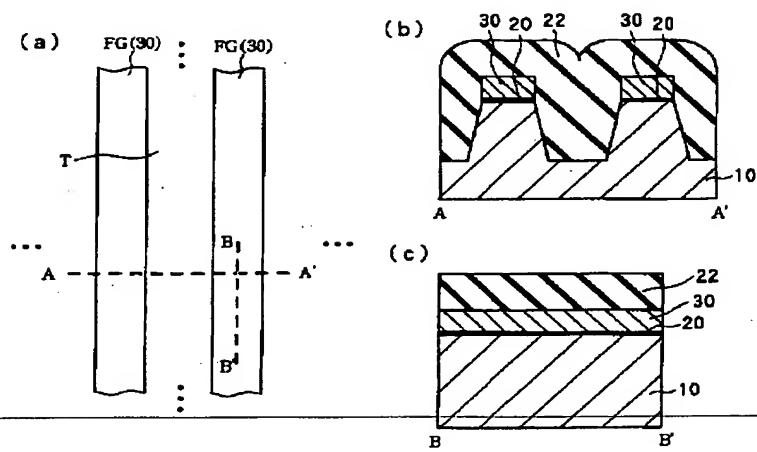
【図15】



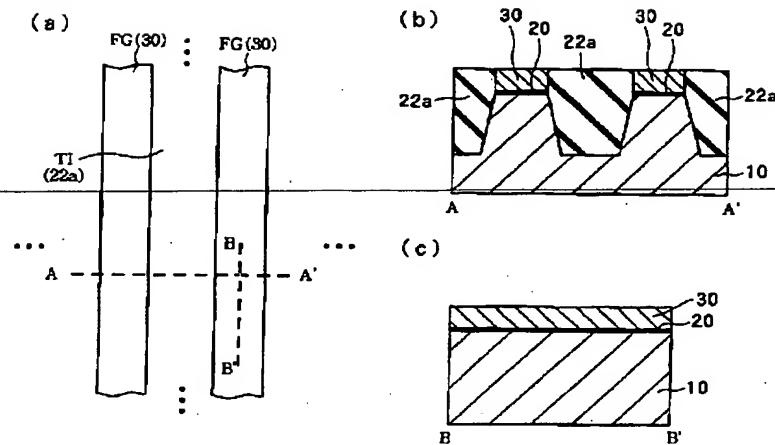
【図16】



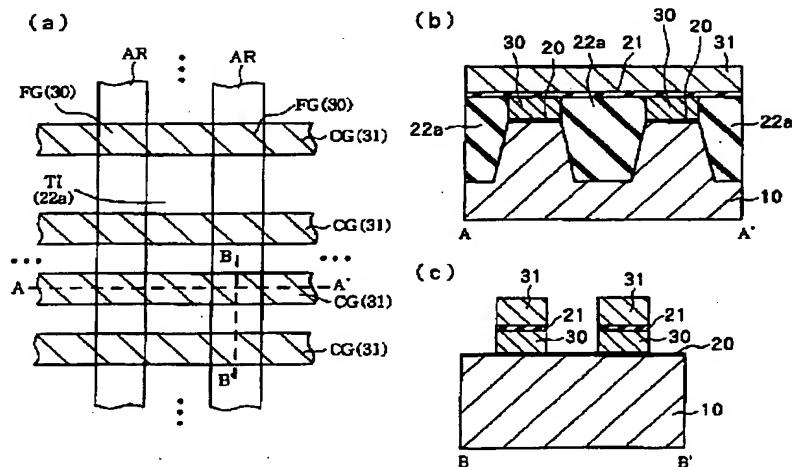
【図17】



【図18】



【図19】



## 【手続補正書】

【提出日】平成10年7月7日

## 【手続補正2】

## 【補正対象書類名】明細書

## 【補正対象項目名】全文

## 【補正方法】変更

## 【補正内容】

## 【書類名】明細書

## 【発明の名称】半導体不揮発性記憶装置の製造方法

## 【特許請求の範囲】

【請求項1】チャネル形成領域を有する半導体基板上に  
ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上層にフローティングゲートを形成  
する工程と、

前記フローティングゲートで挟まれた領域において前記

半導体基板に素子分離用溝を形成する工程と、

前記素子分離用溝の表面および前記フローティングゲー

トの表面を被覆する第1中間絶縁膜を形成する工程と、

前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜  
を形成する工程と、前記フローティングゲートの側面の一部および上面の上  
層部分の前記第1中間絶縁膜の上層に第2中間絶縁膜  
を形成する工程と、前記第2中間絶縁膜の上層にコントロールゲートを形成  
する工程とを有する半導体不揮発性記憶装置の製造方  
法。

【請求項2】前記素子分離絶縁膜を形成する工程が、前

記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程とを含む請求項1記載の半導体不揮発性記憶装置の製造方法。

【請求項3】前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程においては、前記絶縁体の表面が前記ゲート絶縁膜よりも低くなる前に前記絶縁体の除去を停止する請求項2記載の半導体不揮発性記憶装置の製造方法。

【請求項4】前記素子分離絶縁膜を形成する工程においては、前記素子分離絶縁膜の表面が前記ゲート絶縁膜よりも高くなるように形成する請求項1記載の半導体不揮発性記憶装置の製造方法。

【請求項5】前記第1中間絶縁膜を酸化膜と窒化膜の積層体により形成し、前記第2中間絶縁膜を酸化膜により形成する請求項1記載の半導体不揮発性記憶装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、半導体不揮発性記憶装置およびその製造方法に関し、特にトランジスタのゲート電極とチャネル形成領域の間に電荷蓄積層を有する半導体不揮発性記憶装置の製造方法に関する。

##### 【0002】

【従来の技術】電気的に書き換え可能な半導体不揮発性記憶装置 (EEPROM: Electrically Erasable and Programmable ROM) はDRAM (Dynamic Random Access Memory) などの他の半導体記憶装置と比較して1ビットあたりの記憶素子の面積を理論上最も小さくできることから、半導体記憶装置として大容量化が期待され、特にフロッピーディスクなどの磁気記憶装置の代替手段として検討が活発に行われている。EEPROMとしては、フローティングゲート型、MNOS型あるいはMOS型、TEXTURED POLY型など、様々な特徴を有する構造のものが開発されている。

【0003】EEPROMの1つであるフローティングゲート型の半導体不揮発性記憶装置の一例の断面図を図9に示す。例えばLOCOS法などにより形成した素子分離絶縁膜24により分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30が形成されており、さらにその上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜21が形成されている。中間絶縁膜21の上層には、例えばポリシリコンの下側コントロールゲート31aとタングステンシリサイドの上側コントロールゲート31bからなるポリサイド構造のコントロールゲート31が形成されてい

る。また、コントロールゲート31の両側部の半導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と半導体基板10中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲート30を有する電界効果トランジスタを構成する。

【0004】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、フローティングゲート30は膜中に電荷を保持する機能を持ち、ゲート絶縁膜20および中間絶縁膜21は電荷をフローティングゲート30中に閉じ込める役割を持つ。コントロールゲート31、半導体基板10あるいはソース・ドレイン拡散層などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、ゲート絶縁膜20を通して半導体基板10からフローティングゲート30へ電荷が注入され、あるいはフローティングゲート30から半導体基板10へ電荷が放出される。

【0005】上記のようにフローティングゲート30中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート30中に電子を蓄積することでデータの消去を行い、また、フローティングゲート30中に蓄積した電子を放出することでデータを書き込みすることができる。

【0006】しかしながら、上記の従来のフローティングゲート型の半導体不揮発性記憶装置は、フローティングゲート30と素子分離絶縁膜24との合わせ余裕としてオーバーラップ部分1を有し、特にLOCOS法による素子分離絶縁膜はバースピークを有することから素子分離幅が広くなり、分離耐圧が低下するという問題が発生し、セル面積を縮小することが困難となっていた。

【0007】上記の問題点を解決するために、例えばNAND型の半導体不揮発性記憶装置として、図10に示すSA-STI (Self-Align Shallow Trench Isolation) セル構造を有するフローティングゲート型の半導体不揮発性記憶装置が開発された。図10(a)はその平面図である。トレンチ型素子分離絶縁膜T1(22a)で分離されたシリコン半導体基板の活性領域ARと、ワード線となるコントロールゲートCG(31)とが交差する領域において、コントロールゲートCG(31)とシリコン半導体基板のチャネル形成領域の間に電荷蓄積層として例えば絶縁膜に被覆されたフローティングゲートFG(30)が形成されている。また、コントロールゲートCG(31)の両側部の基板中には図示しないソース・ドレイン拡散層が形成されている。コントロールゲートCG(31)の上層にはピット線BL(32)がコントロールゲートCG(31)と直交する方向に配線されており、ピットコントラクトBCにおいてソース・ドレイン拡散層に接続している。

【0008】上記の図10(a)の平面図のA-A'における断面図を図10(b)に、B-B'における断面図を図10(c)に示す。トレンチ型素子分離絶縁膜22aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30が形成されており、さらにその上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜21が形成されている。中間絶縁膜21の上面を被覆して、例えばポリシリコンからなるコントロールゲート(ワード線)31が形成されている。コントロールゲート31の上層に例えば酸化シリコンからなる層間絶縁膜23が形成されており、その上層に例えばアルミニウムからなるビット線32が形成されている。また、コントロールゲート31の両側部の半導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と、半導体基板10中のチャネル形成領域との間に、絶縁膜に被覆されたフローティングゲート30を有する電界効果トランジスタを構成する。各トランジスタはNAND型に接続され、NANDストリングを構成する。

【0009】上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置は、図9に示す半導体不揮発性記憶装置と同様、フローティングゲート30中に電荷が蓄積して蓄積電荷による電界によりトランジスタの閾値電圧が変化し、この変化によりデータの記憶が可能となっている。一方、図9に示す半導体不揮発性記憶装置と異なり、フローティングゲートと素子分離絶縁膜とのオーバーラップ部分がない構造であり、フローティングゲートと素子分離絶縁膜との合わせ余裕を設ける必要がなく、理論的には最小のセル面積を $4F^2$ (ここでFはminimum feature size)とすることができますので、大容量の搭載、およびチップコスト、ビットコストの低減をすることが可能である。

【0010】上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。まず、図11((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、シリコン半導体基板10上に例えば熱酸化法により酸化シリコンのゲート絶縁膜20を形成し、その上層に例えばCVD(Chemical Vapor Deposition)法によりポリシリコンを堆積させ、フローティングゲートFG(30)を形成する。フローティングゲートFG(30)の上層にフォトリソグラフィー工程によりレジスト膜Rを形成し、レジスト膜Rをマスクとして例えばRIE(反応性イオンエッチング)によりフローティングゲートFG(30)をエッチングしてパターン加工する。

【0011】次に、図12((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rをマスクとして例えばRIEなどのエッチングを引き続いて施し、半導体基板10の活性領域と自己整合的にトレンチ状の溝Tを形成する。

【0012】次に、図13((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rを除去し、例えばCVD法によりトレンチ状の溝Tを埋め込んで全面に酸化シリコンを堆積させ、素子分離用層22を形成する。

【0013】次に、図14((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばCMP(Chemical Mechanical Polishing)法により素子分離用層22をフローティングゲート30が露出するまで研磨除去して、トレンチ状の溝Tに埋め込まれたトレンチ型素子分離絶縁膜T1(22a)を半導体基板10の活性領域と自己整合的に形成する。

【0014】次に、図15((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を積層させて中間絶縁膜21を形成し、さらに中間絶縁膜21の上層に、例えばCVD法によりポリシリコンを堆積させ、あるいはポリシリコンとタンガステンシリサイドを積層させてコントロールゲートCG(31)を形成する。次に、コントロールゲートCG(31)の上層にフォトリソグラフィー工程によりコントロールゲートパターンのレジスト膜を形成し、RIEなどのエッチングを施して、コントロールゲートパターンに加工したコントロールゲートCG(31)、中間絶縁膜21、およびフローティングゲートFG(30)を自己整合的に形成する。このとき、図15(a)に示すように、フローティングゲートFG(30)はコントロールゲートCG(31)と半導体基板の活性領域ARの交差する領域に残され、個々のメモリセル毎に分離された形状となる。

【0015】次に、コントロールゲートCG(31)をマスクとして導電性不純物をイオン注入してコントロールゲートの両側部の半導体基板10中に図示しないソース・ドレイン拡散層を自己整合的に形成する。次に、例えばCVD法によりPSGあるいはBPSGなどの酸化シリコンを堆積させて層間絶縁膜23を形成し、層間絶縁膜23に図示しないソース・ドレイン拡散層に達するビットコンタクトBCを開口し、例えばスパッタリング法によりビットコンタクトBC内を埋め込んで例えばアルミニウムを堆積させてビット線BL(32)を形成する。次に、フォトリソグラフィー工程によるレジスト膜

の形成、R I Eなどのエッティングを行ってビット線B L (32)をパターン加工する。以上で、図10に示す半導体不揮発性記憶装置を製造することができる。以降の工程としては、例えば上層配線の形成、パッシベーション工程などにより所望の半導体不揮発性記憶装置を製造する。

## 【0016】

【発明が解決しようとする課題】しかしながら、上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置は、コントロールゲートとフローティングゲートの容量結合は、フローティングゲートの上面のみ、あるいは上面と上面付近のごく一部の側壁部でとられている。このため、コントロールゲートとフローティングゲートの容量結合比を大きくすることが困難となっている。

【0017】容量結合比が小さい場合、ゲート絶縁膜にファウラー・ノルドハイム型トンネル電流を発生させてメモリセルデータの書き込みや消去を行なう際に、大きな動作電圧が必要となる。電源電圧から動作電圧にまで昇圧させるための昇圧回路の面積の増大を招くのでチップコストの上昇の要因となり、さらに、昇圧時間がかかることから処理速度の低下の原因となってしまう。半導体装置の微細化が進むと容量結合比を大きくする必要がますます高くなってくるので、半導体装置の高集積化、微細化について上記の問題は顕在化し、その解決が必要となってくる。

【0018】本発明は上記の問題点を鑑みてなされたものであり、従って、本発明は、コントロールゲートとフローティングゲートの容量結合比を大きくとることが可能であり、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減、装置の高集積化、微細化をすることができる、半導体不揮発性記憶装置の製造方法を提供することを目的とする。

## 【0019】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上層にフローティングゲートを形成する工程と、前記フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝の表面および前記フローティングゲートの表面を被覆する第1中間絶縁膜を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記フローティングゲートの側面の一部および上面の上層部分の前記第1中間絶縁膜の上層に第2中間絶縁膜を形成する工程と、前記第2中間絶縁膜の上層にコントロールゲートを形成する工程とを有する。

【0020】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上に

ゲート絶縁膜を形成し、ゲート絶縁膜の上層にフローティングゲートを形成し、フローティングゲートで挟まれた領域において半導体基板に素子分離用溝を形成する。次に、素子分離用溝の表面およびフローティングゲートの表面を被覆する第1中間絶縁膜を形成する。次に、素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成し、フローティングゲートの側面の一部および上面の上層部分の第1中間絶縁膜の上層に第2中間絶縁膜を形成し、第2中間絶縁膜の上層にコントロールゲートを形成する。

【0021】上記の半導体不揮発性記憶装置の製造方法によれば、フローティングゲートの側面の一部および上面の上層部分の第1中間絶縁膜の上層に第2中間絶縁膜を形成し、第1中間絶縁膜および第2中間絶縁膜を積層させた領域でフローティングゲートとコントロールゲートの容量結合をとることとなり、フローティングゲートの上面だけでなく側面も容量結合に寄与する。従ってコントロールゲートとフローティングゲートの容量結合比を大きくとることができ、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減が可能となり、半導体不揮発性記憶装置の高集積化、微細化が可能となる。基板に形成した素子分離用溝を絶縁体で埋め込んで形成するトレンチ型素子分離絶縁膜により素子分離するので、セルの縮小化、大容量の搭載、チップコストおよびビットコストの低減をすることが可能である。

【0022】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程とを含む。これにより、トレンチ型素子分離絶縁膜を形成することができ、フローティングゲートの上面だけでなく側面も容量結合に寄与させることができる。

【0023】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記フローティングゲートの少なくとも側面の一部と上面の上層部分に形成された前記第1中間絶縁膜が露出するまで前記絶縁体を除去する工程においては、前記絶縁体の表面が前記ゲート絶縁膜よりも低くなる前に前記絶縁体の除去を停止する。絶縁体の表面がゲート絶縁膜よりも低くなると、ゲート絶縁膜より下部の素子分離用溝の表面においてメモリトランジスタと並列に寄生のトランジスタが形成されることとなるので、これを制御するために絶縁体の表面がゲート絶縁膜よりも低くならないようにする。

【0024】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程においては、前記素子分離絶縁膜の表面が前記ゲート絶縁膜よりも高くなるように形成する。上記と同様に、寄生のトランジスタが形成されるのを避けることが

できる。

【0025】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第1中間絶縁膜を酸化膜と窒化膜の積層体により形成し、前記第2中間絶縁膜を酸化膜により形成する。これにより、第1中間絶縁膜と第2中間絶縁膜の積層体であるONO膜（酸化膜-窒化膜-酸化膜の積層体）を中間絶縁膜とすることができます、また、第1中間絶縁膜をON膜とすることで、素子分離絶縁膜のエッチングのときのエッチングストップとしての役割を果たす。

#### 【0026】

【発明の実施の形態】以下に、本発明の半導体不揮発性記憶装置およびその製造方法の実施の形態について、図面を参照して下記に説明する。

【0027】本実施形態にかかる半導体不揮発性記憶装置は、SA-STIセル構造を有するフローティングゲート型のNAND型半導体不揮発性記憶装置である。図1(a)はその平面図である。トレンチ型素子分離絶縁膜TI(22a)で分離されたシリコン半導体基板の活性領域ARと、ワード線となるコントロールゲートCG(31)とが交差する領域において、コントロールゲートCG(31)とシリコン半導体基板のチャネル形成領域の間に電荷蓄積層として例えば絶縁膜に被覆されたフローティングゲートFG(30)が形成されている。また、コントロールゲートCG(31)の両側部の基板中には図示しないソース・ドレイン拡散層が形成されている。コントロールゲートCG(31)の上層にはピット線BL(32)がコントロールゲートCG(31)と直交する方向に配線されており、ピットコントラクトBCにおいてソース・ドレイン拡散層に接続している。

【0028】上記の図1(a)の平面図のA-A'における断面図を図1(b)に、B-B'における断面図を図1(c)に示す。トレンチ型素子分離絶縁膜22aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30が形成されており、さらにその上層に例えばON膜（酸化膜-窒化膜の積層絶縁膜）の第1中間絶縁膜21aと酸化膜の第2中間絶縁膜21bからなるONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）の中間絶縁膜21が形成されている。フローティングゲート30の側面の一部および上面の上層部分の中間絶縁膜21の上層を被覆して、例えばポリシリコンあるいはポリシリコンとタンクステンシリサイドの積層体であるポリサイドのコントロールゲート（ワード線）31が形成されている。コントロールゲート31の上層に例えば酸化シリコンからなる層間絶縁膜23が形成されており、その上層に例えばチタン層とアルミニウムシリサイド層を積層させた金属層によりピット線32が形成されている。また、コントロールゲート31の両側部の半

導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と、半導体基板10中のチャネル形成領域との間に、絶縁膜に被覆されたフローティングゲート30を有する電界効果トランジスタを構成する。各トランジスタはNAND型に接続され、NANDストリングを構成する。ここで、第1中間絶縁膜21aはトレンチ型素子分離絶縁膜22aの下層にも形成されており、一方第2中間絶縁膜21bはトレンチ型素子分離絶縁膜22aの上層にも形成されている。

【0029】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、フローティングゲート30は膜中に電荷を保持する機能を持ち、ゲート絶縁膜20および中間絶縁膜21は電荷をフローティングゲート30中に閉じ込める役割を持つ。コントロールゲート31、半導体基板10あるいはソース・ドレイン拡散層などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、ゲート絶縁膜20を通して半導体基板10からフローティングゲート30へ電荷が注入され、あるいはフローティングゲート30から半導体基板10へ電荷が放出される。

【0030】上記のようにフローティングゲート30中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート30中に電子を蓄積することでデータの消去を行い、また、フローティングゲート30中に蓄積した電子を放出することでデータを書き込みすることができる。

【0031】上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。まず、図2(a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、シリコン半導体基板10上に例えば熱酸化法により酸化シリコンのゲート絶縁膜20を形成し、その上層に例えばCVD(Chemical Vapor Deposition)法によりポリシリコンを堆積させ、フローティングゲートFG(30)を形成する。フローティングゲートFG(30)の上層にフォトリソグラフィー工程によりリジスト膜Rを形成し、リジスト膜Rをマスクとして例えばRIE(反応性イオンエッチング)によりフローティングゲートFG(30)をエッチングしてバーン加工する。

【0032】次に、図3((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、リジスト膜Rをマスクとして例えばRIEなどのエッチングを引き続いて施し、半導体基板10の活性領域と自己整合的にトレンチ状の溝Tを形成する。ここでは、後工程

でこの溝を絶縁体で埋め込みやすいように、テーパ形状に形成する。

【0033】 次に、図4((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、レジスト膜Rを除去し、例えばCVD法によりトレンチ状の溝Tの表面およびフローティングゲート30の表面を被覆して全面に酸化シリコンおよび窒化シリコンを積層させ、第1中間絶縁膜21aを形成する。

【0034】 次に、図5((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばCVD法により第1中間絶縁膜21aの上層にトレンチ状の溝Tを埋め込んで全面に酸化シリコンを堆積させ、素子分離用層22を形成する。このとき、段差被覆性の優れた材料および成膜条件を用いることが好ましく、例えばBPSGなどを用いた場合にはCVD工程の後の加熱によるリフローで段差被覆性を向上させることができる。

【0035】 次に、図6((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、例えばフッ酸系のウェットエッチング、あるいは第1中間絶縁膜21a中の窒化シリコンに対して選択比を有するRIEなどのエッティングにより、トレンチ状の溝Tに埋め込まれたトレンチ型素子分離絶縁膜T1(22a)を半導体基板10の活性領域と自己整合的に形成する。このとき、第1中間絶縁膜はこのエッティングのエッティングストップとしての役割を果たす。また、このエッティングはトレンチ型素子分離絶縁膜T1(22a)の表面がゲート絶縁膜よりも低くなる前に停止する。これにより、メモリトランジスタと並列に寄生のトランジスタが形成されるのを避けることができる。

【0036】 次に、図7((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、第1中間絶縁膜21aの上層に全面に例えばCVD法により酸化膜である第2中間絶縁膜21bを形成し、第1中間絶縁膜21aと合わせてONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)の中間絶縁膜21とする。

【0037】 次に、図8((a)は平面図であり、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である)に示すように、中間絶縁膜21の上層に、例えばCVD法によりポリシリコンを堆積させ、あるいはポリシリコンとタングステンシリサイドを積層させてコントロールゲートCG(31)を形成し、コントロールゲートCG(31)の上層にフォトリソグラフィー工程によりコントロールゲートパターンのレジスト膜を形成し、RIEなどのエッティングを施して、コントロールゲートパターンに加工したコント

ロールゲートCG(31)、中間絶縁膜21、およびフローティングゲートFG(30)を自己整合的に形成する。このとき、図8(a)に示すように、フローティングゲートFG(30)はコントロールゲートCG(31)と半導体基板の活性領域ARの交差する領域に残され、個々のメモリセル毎に分離された形状となる。

【0038】 次に、コントロールゲートCG(31)をマスクとして導電性不純物をイオン注入してコントロールゲートの両側部の半導体基板10中に図示しないソース・ドレイン拡散層を自己整合的に形成する。次に、例えばCVD法によりPSGあるいはBPSGなどの酸化シリコンを堆積させて層間絶縁膜23を形成し、層間絶縁膜23に図示しないソース・ドレイン拡散層に達するピットコントラクトBCを開口し、例えばスパッタリング法によりピットコントラクトBC内を埋め込んでチタン層とアルミニウムシリサイド層などを積層させた金属層によりピット線BL(32)を形成する。次に、フォトリソグラフィー工程によるレジスト膜の形成、RIEなどのエッティングを行ってピット線BL(32)をパターン加工する。以上で、図1に示す半導体不揮発性記憶装置を製造することができる。以降の工程としては、例えば上層配線の形成、パッケージング工程などにより所望の半導体不揮発性記憶装置を製造する。

【0039】 上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、フローティングゲートの側面の一部および上面の上層部分の第1中間絶縁膜の上層に第2中間絶縁膜を形成し、第1中間絶縁膜および第2中間絶縁膜を積層させた領域でフローティングゲートとコントロールゲートの容量結合をとることとなり、フローティングゲートの上面だけでなく側面も容量結合に寄与する。従ってコントロールゲートとフローティングゲートの容量結合比を大きくとることができ、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減が可能となり、半導体不揮発性記憶装置の高集積化、微細化が可能となる。基板に形成した素子分離用溝を絶縁体で埋め込んで形成するトレンチ型素子分離絶縁膜により素子分離するので、セルの縮小化、大容量の搭載、チップコストおよびピットコストの低減をすることが可能である。

【0040】 本発明の半導体不揮発性記憶装置およびその製造方法は、上記の実施の形態に限定されない。例えば、コントロールゲート、フローティングゲートは、単層構成でも多層構成でもよい。また、ソース・ドレインは、LDD構造などの種々の構造を採用することができる。半導体記憶装置としてはNOR型、NAND型、どちらでもよく、さらにDINOR型とすることもできる。電荷の電荷蓄積層への注入は、データの書き込み、消去のどちらに相当する場合でも構わない。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

## 【0041】

【発明の効果】本発明の半導体不揮発性記憶装置の製造方法によれば、コントロールゲートとフローティングゲートの容量結合比を大きくとることが可能であり、これにより動作電圧の低下および昇圧時間の短縮、製造コストの低減、装置の高集積化、微細化をすることができます。半導体不揮発性記憶装置の製造方法を提供することができる。

## 【図面の簡単な説明】

【図1】図1は本発明の実施形態にかかる半導体不揮発性記憶装置の(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図2】図2は本発明の実施形態にかかる半導体不揮発性記憶装置の製造方法のフローティングゲートをパターン加工する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図3】図3は図2の続きのトレンチ状の溝を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図4】図4は図3の続きの第1中間絶縁膜を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図5】図5は図4の続きの素子分離用層を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図6】図6は図5の続きの素子分離用層のエッチバック工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図7】図7は図6の続きの第2中間絶縁膜を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図8】図8は図7の続きのコントロールゲートを形成する工程までの製造工程を示す、(a)は平面図、

(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図9】図9は第1従来例にかかる半導体不揮発性記憶装置の断面図である。

【図10】図10は第2従来例にかかる半導体不揮発性記憶装置の(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図11】図11は第2従来例にかかる半導体不揮発性記憶装置の製造方法のフローティングゲートをパターン加工する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図12】図12は図11の続きのトレンチ状の溝を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図13】図13は図12の続きの素子分離用層を形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図14】図14は図13の続きのフローティングゲートを露出させるまで素子分離用層を研磨する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

【図15】図15は図14の続きのコントロールゲートを形成する工程までの製造工程を示す、(a)は平面図、(b)および(c)はそれぞれ(a)中のA-A'およびB-B'における断面図である。

## 【符号の説明】

10…半導体基板、20…ゲート絶縁膜、21…中間絶縁膜、21a…第1中間絶縁膜、21b…第2中間絶縁膜、22…素子分離絶縁用層、22a…素子分離絶縁膜、23…層間絶縁膜、24…LOCOS素子分離絶縁膜、30…フローティングゲート、31…コントロールゲート、31a…下側コントロールゲート、31b…上側コントロールゲート、32…ピット線、R…レジスト膜、AR…活性領域、T…トレンチ状の溝、TI…トレンチ型素子分離絶縁膜、FG…フローティングゲート、CG…コントロールゲート、BL…ピット線、BC…ピットコントラクト、I…フローティングゲートと素子分離絶縁膜の重なり領域。

## 【手続補正3】

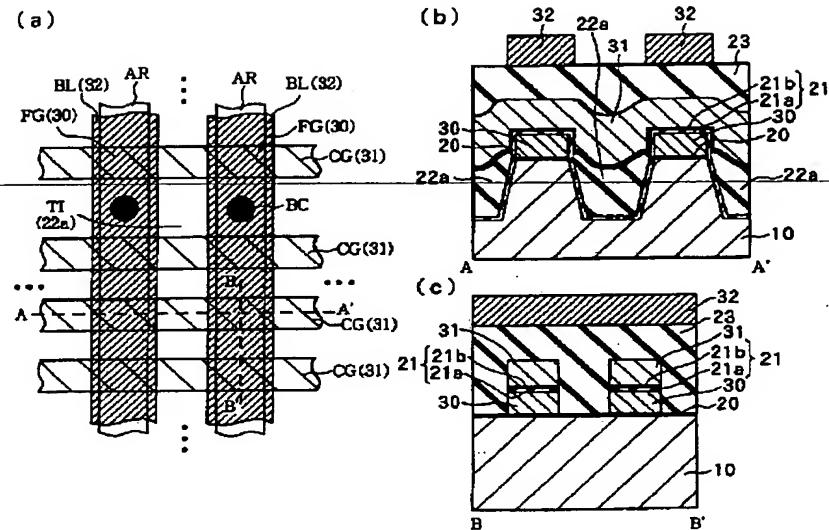
【補正対象書類名】図面

【補正対象項目名】全図

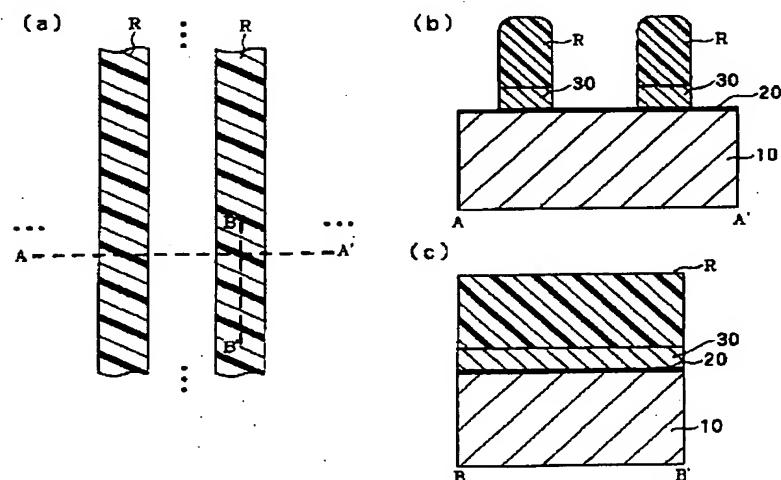
【補正方法】変更

【補正内容】

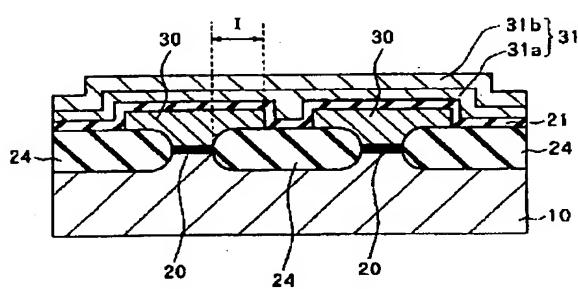
【図1】



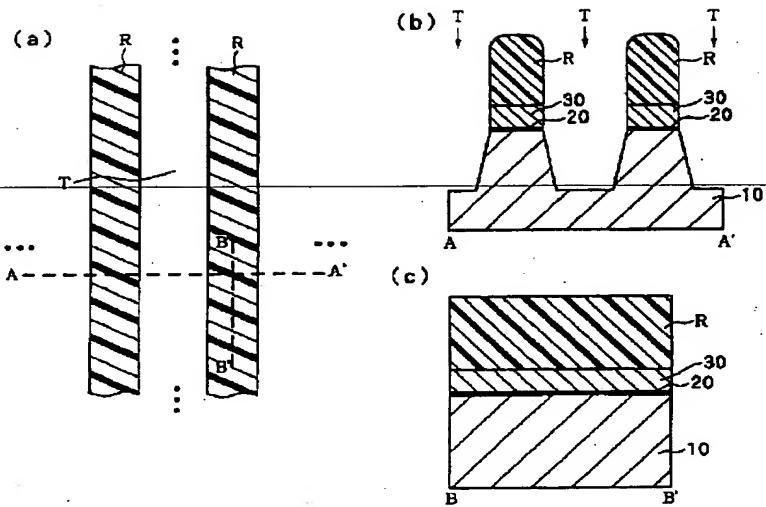
【図2】



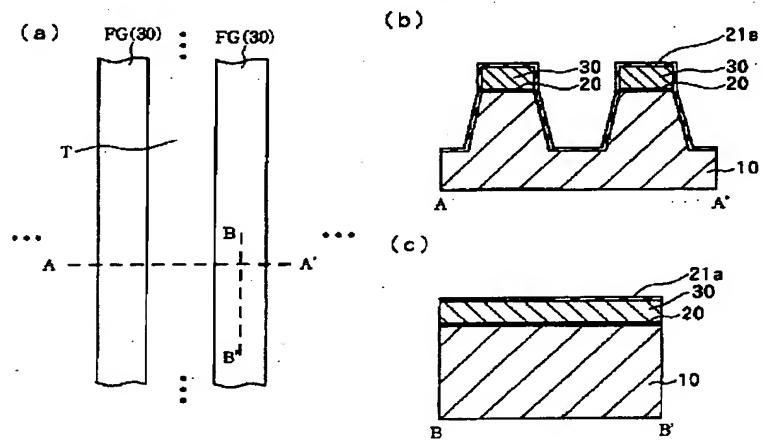
【図9】



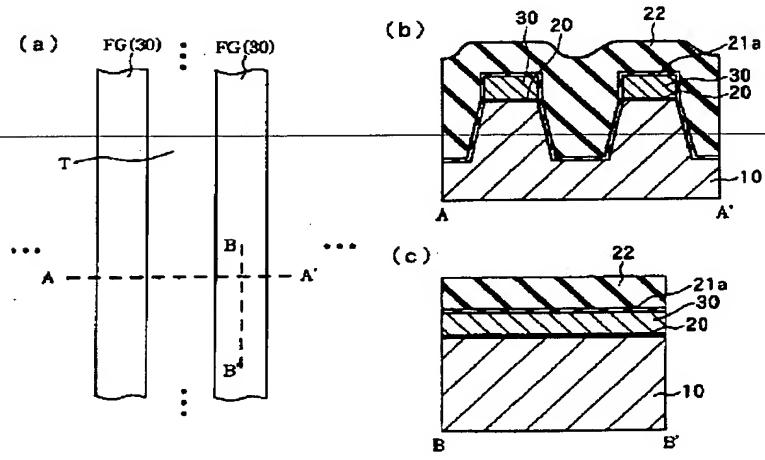
【図3】



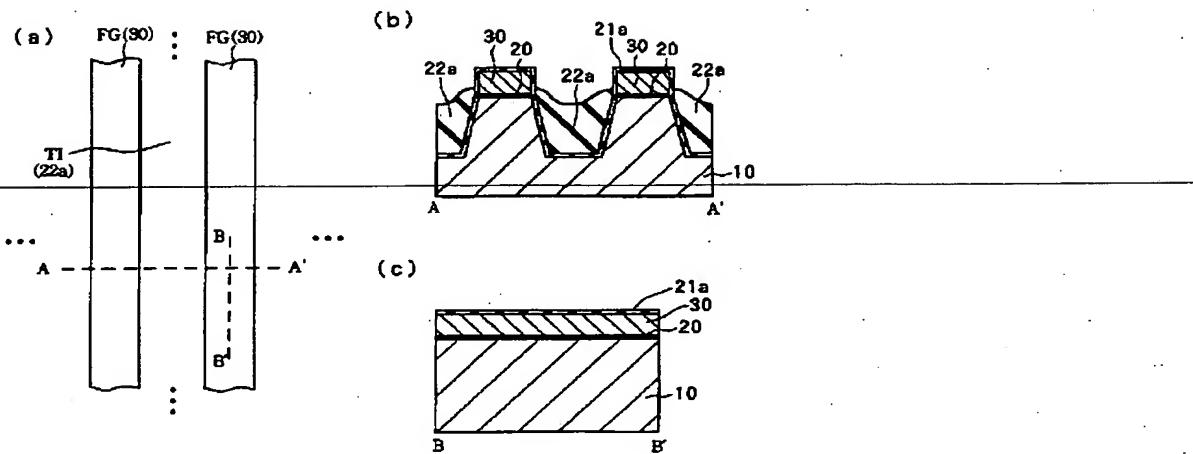
【図4】



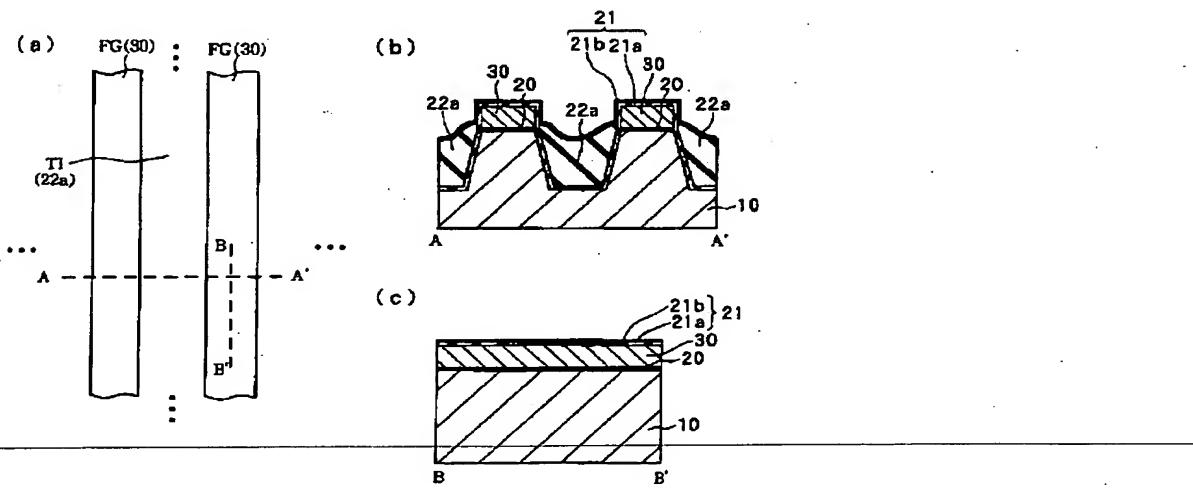
【図5】



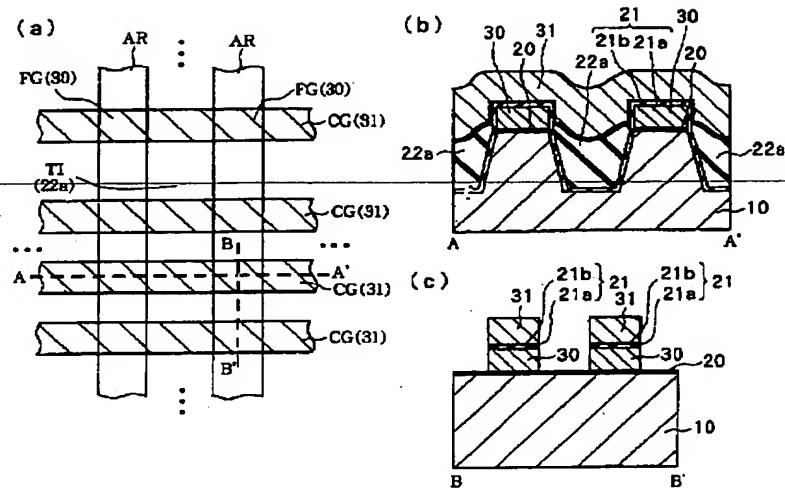
【図6】



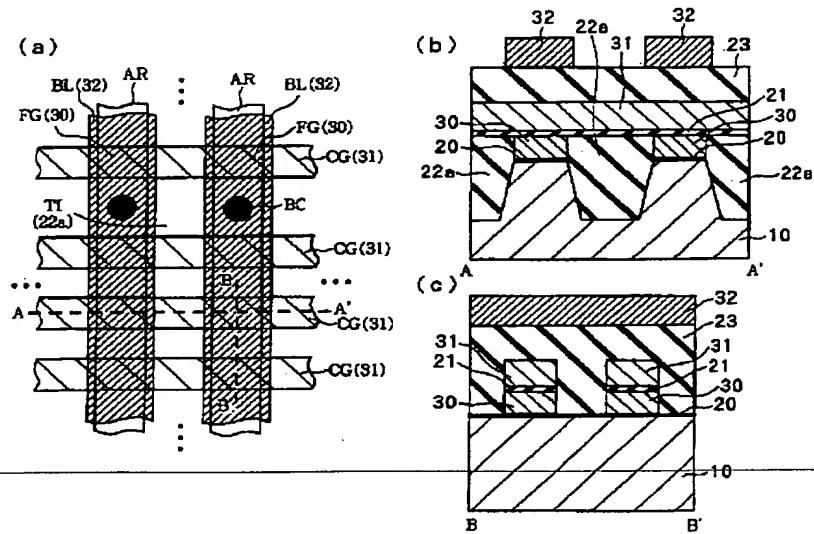
【図7】



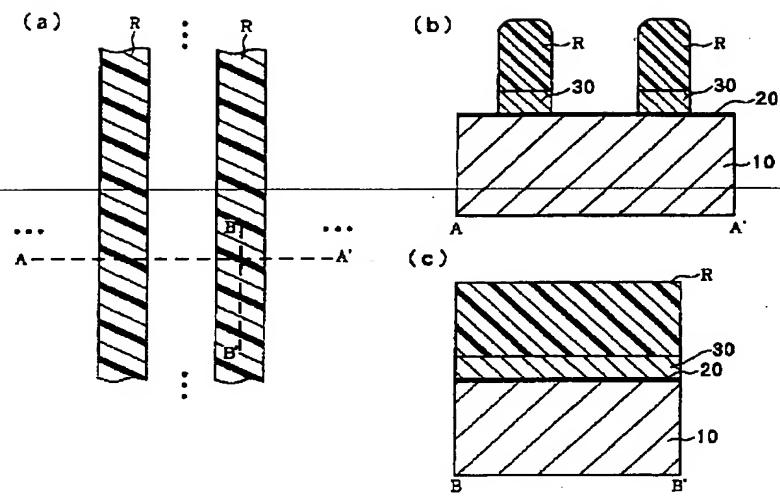
【図8】



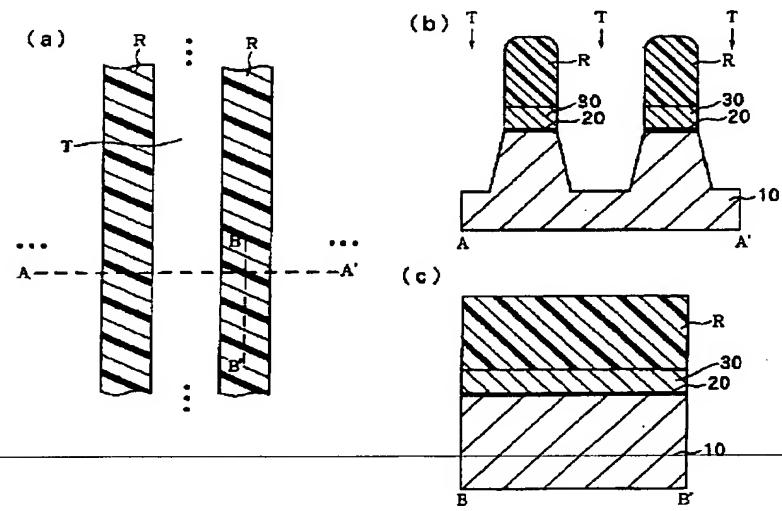
【図10】



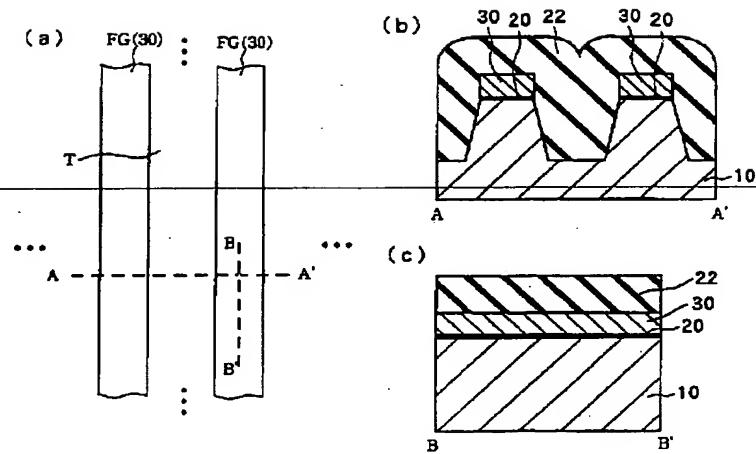
【図11】



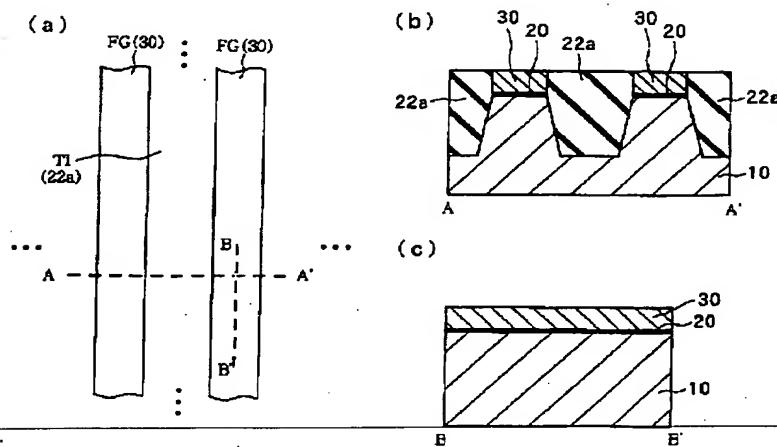
【図12】



【図13】



【図14】



【図15】

